

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

:

Masao OKIHARA

:

Serial No.: [NEW]

:

Mail Stop Patent Application

Filed: December 19, 2003

:

Attorney Docket No. OKI.602

For: VARIABLE THRESHOLD VOLTAGE COMPLEMENTARY MOSFET WITH SOI
STRUCTURE

CLAIM OF PRIORITY

U.S. Patent and Trademark Office

2011 South Clark Place

Customer Window, Mail Stop Patent Application

Crystal Plaza Two, Lobby, Room 1B03

Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date
under the International Convention of the following Japanese application:

Appn. No. 2003-185337 filed June 27, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: December 19, 2003

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 6月27日

出願番号 Application Number: 特願2003-185337

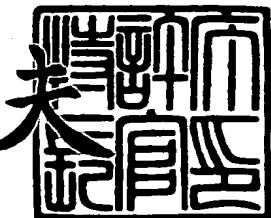
[ST. 10/C]: [JP 2003-185337]

出願人 Applicant(s): 沖電気工業株式会社

2003年12月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 OH003840

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/113

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会
社内

【氏名】 沖原 将生

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 S O I 構造を用いたしきい値電圧可変相補型M O S F E T

【特許請求の範囲】

【請求項 1】 支持基板、該支持基板上に設けられた絶縁層、及び該絶縁層上に互いに離間して設けられた島状の第 1 及び第 2 シリコン層を備える S O I 基板本体と、

前記第 1 シリコン層中に第 1 チャネル部が形成された、完全空乏型 S O I からなる第 1 M O S F E T と、

前記第 2 シリコン層中に第 2 チャネル部が形成されていて、前記第 1 M O S F E T と相俟って相補型M O S F E T を構成する部分空乏型 S O I からなる第 2 M O S F E T と、

前記支持基板に設けられていて、前記相補型M O S F E T のしきい値電圧を調整するための調整バイアス電圧を前記 S O I 基板本体に印加する調整バイアス電極と

を備えることを特徴とする S O I 構造を用いたしきい値電圧可変相補型M O S F E T 。

【請求項 2】 請求項 1 記載の S O I 構造を用いたしきい値電圧可変相補型M O S F E T において、

前記第 1 M O S F E T は、前記第 1 シリコン層中に前記第 1 チャネル部を挟んで形成された第 1 ソース領域及び第 1 ドレイン領域と、該第 1 チャネル部上に第 1 ゲート絶縁膜を挟んで設けられた第 1 ゲート電極とを備えており、

前記第 2 M O S F E T は、前記第 2 シリコン層中に前記第 2 チャネル部を挟んで形成された第 2 ソース領域及び第 2 ドレイン領域と、該第 2 チャネル部上に第 2 ゲート絶縁膜を挟んで設けられた第 2 ゲート電極と、前記第 2 シリコン層中の領域であって、前記調整バイアス電圧による、前記第 2 M O S F E T のしきい値電圧の調整を抑制する中性領域としての空乏層非形成領域とを備えるとともに、該中性領域に接触して設けられていて前記しきい値電圧を抑制するための抑制電圧を該中性領域に印加する抑制電圧電極を備えることを特徴とする S O I 構造を用いたしきい値電圧可変相補型M O S F E T 。

【請求項3】 請求項1又は請求項2記載のS O I構造を用いたしきい値電圧可変相補型M O S F E Tにおいて、

前記第1M O S F E TをNチャネル型M O S F E Tとし、及び前記第2M O S F E TをPチャネル型M O S F E Tとすることを特徴とするS O I構造を用いたしきい値電圧可変相補型M O S F E T。

【請求項4】 請求項1又は請求項2記載のS O I構造を用いたしきい値電圧可変相補型M O S F E Tにおいて、

前記第1M O S F E TをPチャネル型M O S F E Tとし、及び前記第2M O S F E TをNチャネル型M O S F E Tとすることを特徴とするS O I構造を用いたしきい値電圧可変相補型M O S F E T。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、S O I構造を用いたしきい値電圧可変相補型M O S F E Tに関する。

【0002】

【従来の技術】

低電力・高性能L S Iは、次世代のパーソナル&モバイルコミュニケーション製品のキーデバイスとして重要である。通常のシリコン基板を用いたバルクS i相補型M O S F E Tを用いてL S Iを構成する場合、L S Iの微細化に伴う高集積化・高速化により、L S Iの消費電力は増大してしまう。そのため、低電力で高性能を有するL S Iを構成できる新しい素子構造の低電力M O S F E Tが待望されている。そのような中で、支持基板とシリコン層（素子領域）の間に絶縁層を有するS O I（S i l i c o n o n I n s u l a t o r）基板を用いて作成する完全空乏型S O I C M O S（C M O S：相補型M O S F E T）は、低電力・高速デバイスとして期待されている。S O I M O S F E Tでは、シリコン層の下に絶縁層として埋め込み酸化膜が存在するため、ソースードレイン間の寄生容量が小さくなり、低電力・高速動作が可能となる。また、埋め込み酸化膜により各素子が完全分離されるため、ラッチアップが起こらなくなる、及び、高密

度レイアウトが可能となるという利点がある。さらに、完全空乏型SOI MOSFETでは、バルクSi MOSFETに比べて、MOSFETのサブスレッショルド領域において、ゲート電圧に対するドレイン電流の傾きが大きくできるため、同一オフ電流での、この差が低電圧での性能向上に有効に働くといった利点がある。

【0003】

上述したように、完全空乏型SOI MOSFETは、有利な点を多く有しているが、さらに、チャネル部のシリコン層全体が空乏化しているので、支持基板にバイアス電圧を加えることで、

$$|\Delta V_{th}| = \gamma |\Delta V_{bs}|$$

の関係で、 V_{th} を変化できることが知られている。（例えば、非特許文献1及び非特許文献2参照）。ここで、 V_{th} は、完全空乏型SOI MOSFETのしきい値電圧、 V_{bs} は、支持基板へ印加してしきい値電圧を調整するための調整バイアス電圧、及び、 γ は、SOI基板の基板バイアス係数である。

【0004】

上述の特性を利用してしきい値電圧可変SOI MOSFETの素子について、図を参照して説明する。図6は、しきい値電圧可変SOI MOSFETの要部の構造を概略的に示す断面図である。このしきい値電圧可変SOI MOSFETは、空乏層がチャネル部全体に広がっている完全空乏型SOI MOSFETである。しきい値電圧可変SOI MOSFETは、支持基板10上に絶縁層20を介して、すなわちSOI層としてシリコン層29を備えている。シリコン層29中には、チャネル部36を挟んでソース領域32及びドレイン領域34が形成されている。ソース電極44及びドレイン電極46は、それぞれ、ソース領域32及びドレイン領域34に接するように設けられる。チャネル部36上には、ゲート絶縁膜52を挟んでゲート電極53が設けられている。支持基板10には、MOSFETのしきい値電圧を調整するための調整バイアス電圧 V_{bs} を印加する調整バイアス電極63が設けられていている。

【0005】

図7は、ソース領域32及びドレイン領域34がN型半導体であるNチャネ

ル型のしきい値電圧可変SOI MOSFETの動作を説明するための図である。横軸はゲート電圧 V_g を示しており、縦軸はドレイン電流 I_d （正の値）をログスケールで示している。 V_d は、電源電圧である。調整バイアス電圧 V_{bs} を変えることで、例えば、調整バイアス電圧 V_{bs} が0Vであるスタンバイ状態（図7：曲線Iで示す。）と正の調整バイアス電圧 V_{bs} が印加されているアクティブ状態（図7：曲線IIで示す。）とに切り替えられる。また、図7において、 I_{on1} 及び I_{on2} は、スタンバイ状態及びアクティブ状態でのオン電流をそれぞれ示し、 I_{off1} 及び I_{off2} は、スタンバイ状態及びアクティブ状態でのオフ電流をそれぞれ示す。スタンバイ状態では、オフ電流が抑制されるので（ $I_{off1} < I_{off2}$ の状態）、消費電力が減り、一方、アクティブ状態では、オン電流が増大するので（ $I_{on2} > I_{on1}$ の状態）、高速動作が可能となる。このような特性を利用したしきい値電圧可変CMOSが提案されている。

【0006】

図8を参照して、しきい値電圧可変CMOSの従来例を説明する。しきい値電圧可変CMOSは、Nチャネル型とPチャネル型のMOSFETを組み合わせて構成される。すなわち、支持基板10とこの支持基板10の一方の表面側に設けられている絶縁層20とで構成される積層体25を共通にして、この積層体25の絶縁層20上に、第1及び第2MOSFET12及び14が離間して形成されている。第1MOSFET12をNチャネル型、第2MOSFET14をPチャネル型とする。

【0007】

このしきい値電圧可変CMOSにおいて、第1MOSFET12は、絶縁層20上に形成されたシリコン層中に、第1ソース領域31、第1ドレイン領域33、これら両領域31及び33間に挟まれて構成されている第1チャネル部35と、このチャネル部35上にゲート絶縁膜54を挟んで、設けられているゲート電極55とを備えている。図中45、47はそれぞれソース電極、及びドレイン電極である。

【0008】

同様に第2MOSFET14は、絶縁層20上に形成されたシリコン層中に、第2ソース領域37、第2ドレイン領域39、これら両領域37及び39間に挟まれて構成されている第2チャネル部42と、このチャネル部42上にゲート絶縁膜60を挟んで、設けられているゲート電極61とを備えている。図中49、51はそれぞれソース電極、及びドレイン電極である。

【0009】

尚、支持基板10の絶縁層とは反対側の面（裏面）には、図6を参照して説明したのと同様に調整バイアス電圧V_{bs}が印加される調整バイアス電極63が、第1及び第2MOSFET12及び14に共通に設けられている。

【0010】

ここで、第1チャネル部35と第2チャネル部42は、全体が空乏化していて、第1MOSFET12及び第2MOSFET14はそれぞれ、完全空乏型SOI MOSFETである。

【0011】

この構成において、支持基板10に設けられた調整バイアス電極63に調整バイアス電圧V_{bs}を印加することで、第1MOSFET12及び第2MOSFET14のしきい値電圧は、変化する。

【0012】

【非特許文献1】

南雲他著「しきい電圧可変完全空乏型SOI MOSFETのしきい電圧調整範囲」信学技報 Technical Report of IEICE. SDM2002-138、ICD2002-49(2002-08) 2002年8月p. 20

【非特許文献2】

T. Hiramoto et al. 「Optimum Device Parameters and Scalability of Variable Threshold Voltage Complementary MOS (VTCMOS)」 Jpn. J. Appl. Phys. Vol. 40 (2001) p. 2854~2855

【0013】

【発明が解決しようとする課題】

しかしながら、Pチャネル型のしきい値電圧可変SOI MOSFETの動作は、Nチャネル型のしきい値電圧可変SOI MOSFETのしきい値電圧に対する応答とは、相反する動作である。

【0014】

図9を参照して、Pチャネル型しきい値電圧可変SOI MOSFETが上述のような相反する動作を行う点について説明する。横軸はゲート電圧 V_g を示しており、縦軸はドレイン電流 I_d をログスケールで示している。Pチャネル型MOSFETの場合ドレイン電流 I_d は、負の値であるので、絶対値で示してある。 V_d は、電源電圧である。調整バイアス電圧 V_{bs} を変えることで、例えば、調整バイアス電圧 V_{bs} が0Vであるスタンバイ状態（図9：曲線IVで示す。）と正の調整バイアス電圧 V_{bs} が印加されているアクティブ状態（図9：曲線IIIで示す。）とに切り替えられる。また、図9において、 I_{on3} 及び I_{on4} は、アクティブ状態及びスタンバイ状態でのオン電流をそれぞれ示し、 I_{off3} 及び I_{off4} は、アクティブ状態及びスタンバイ状態でのオフ電流をそれぞれ示す。アクティブ状態では、オフ電流が抑制され（ $I_{off3} < I_{off4}$ の状態）、一方、スタンバイ状態では、オン電流が増大する（ $I_{on4} > I_{on3}$ の状態）。

【0015】

このため、図8で示されているような構造のしきい値電圧可変CMOSについて、支持基板10に調整バイアス電圧 V_{bs} を印加してしきい値電圧を調整する場合、例えば、Nチャネル型MOSFET12でしきい値電圧が減少すれば、Pチャネル型MOSFET14ではしきい値電圧が増大する。このため、単純に支持基板10に調整バイアス電圧 V_{bs} を印加するだけでは、Nチャネル型MOSFET12のオン電流が増加すれば、Pチャネル型MOSFET14のオン電流が減少してしまう。

【0016】

このような相反する動作をするPチャネル型及びNチャネル型MOSFETを

組み合わせたしきい値電圧可変CMOSを、例えば、カレントミラー型の回路に組み込んだ場合には、カレントミラー回路の、所望どおりの特性向上を期待できない可能性が高い。

【0017】

この解決方法として、それぞれの領域に調整バイアス電圧 V_{BS} を個別に印加する方法が考えられるが、それぞれの領域に調整バイアス電圧 V_{BS} 印加用の電極を個別に形成すると、製造プロセスが複雑になるなど、欠点が生じる。

【0018】

そこで、この出願に係る発明者は、種々検討した結果、チャネル部の下側領域にまで空乏層が拡がらないタイプのいわゆる部分空乏型MOSFETと完全空乏型MOSFETとを、支持基板とその上側に設けられた絶縁層とからなる、共通の積層体上に、個別に形成したCMOS構造とすることにより、支持基板側から、共通の調整バイアス電圧 V_{BS} を印加すれば、完全空乏型MOSFETのしきい値電圧を変えることができ、一方、部分空乏型MOSFETのしきい値電圧は、設定されたしきい値電圧を変えることができずに一定の電圧を保存することができるという結論を得た。

【0019】

この発明は、上述の事情に鑑み、Nチャネル型とPチャネル型のMOSFETに対して調整バイアス電圧 V_{BS} によるしきい値電圧の依存性を異ならせることができとなるSOI構造を用いたしきい値電圧可変相補型MOSFET（VTC MOS）を提供することを目的とする。

【0020】

【課題を解決するための手段】

上述した目的を達成するための、この発明のしきい値電圧可変相補型MOSFETは、支持基板、支持基板上に設けられた絶縁層、及び絶縁層上に互いに離間して設けられた島状の第1及び第2シリコン層を備えるSOI基板本体と、第1シリコン層中に第1チャネル部が形成された、完全空乏型SOIからなる第1のMOSFETと、第2シリコン層中に第2チャネル部が形成されていて、第1MOSFETと相俟って相補型MOSFETを構成する部分空乏型SOIからなる

第2のMOSFETと、支持基板に設けられていて、相補型MOSFETのしきい値電圧を調整するための調整バイアス電圧をSOI基板本体に印加する調整バイアス電極とを備えている。

【0021】

このしきい値電圧可変相補型MOSFETでは、支持基板に調整バイアス電圧を印加すると、完全空乏型SOIからなる第1のMOSFETは、そのしきい値電圧が変化する。しかし、部分空乏型SOIからなる第2のMOSFETは、調整バイアス電圧による、第2MOSFETのしきい値電圧の調整を抑制する中性領域としての空乏層非形成領域（すなわち非空乏領域ともいう。）を有する。この中性領域は、第2シリコン層中の、第2チャネル部の領域の部分に存在する。この中性領域の存在により、調整バイアス電圧が支持基板に印加されても、第2MOSFETのしきい値電圧は、実質的に変化せずに一定のままである。このように、この発明のしきい値電圧可変相補型MOSFETによれば、カレントミラーや回路等に必要な特性を得ることが可能となる。

この発明の実施にあたり、しきい値電圧を抑制するための抑制電圧をこの中性領域に印加する抑制電圧電極を中性領域に接触して備えるのが好適である。

【0022】

このように構成すれば、部分空乏型第2MOSFETの中性領域に抑制電圧を印加することにより、支持基板に印加された調整バイアス電圧の影響を受けず、しきい値電圧はより確実に変動しなくなる。

【0023】

【発明の実施の形態】

以下、図を参照して、この発明の実施の形態について説明するが、構成、各構成要素の大きさ、及び配置関係については、この発明が理解できる程度に概略的に示したものに過ぎない。また、以下、この発明の好適な構成例につき説明するが、各構成の組成（材質）および数値的条件などは、単なる好適例にすぎない。従って、この発明は以下の実施の形態にのみ限定されず、この発明の範囲を逸脱することなく種々の変形や変更を行い得る。

【0024】

(第1の実施形態の説明)

図1を参照して、この発明の第1実施形態のSOI構造を用いたしきい値電圧可変CMOSの概略構成を説明する。図1は、この発明のしきい値電圧可変CMOSの要部の横断面の切り口を概略的に示す図である。なお、断面を示すハッチングなどは、一部分省略してある。

【0025】

SOI構造を用いたしきい値電圧可変CMOSは、SOI基板本体70と、第1MOSFET12と第2MOSFET14と、調整バイアス電極63とを備えている。

【0026】

SOI基板本体70は、支持基板10、支持基板10上に設けられた絶縁層20、絶縁層20上に互いに離間して設けられた島状の第1シリコン層30a及び島状の第2シリコン層30bを含んで構成される。絶縁層20は、埋め込み酸化膜で実現される。

【0027】

第1MOSFET12は、既に図8を参照して説明した従来例におけるしきい値電圧可変CMOSの第1MOSFETと同じ構成をしている。この実施の形態においても、第1MOSFET12は、第1シリコン層30aに、第1チャネル部35を挟むように形成された第1ソース領域31及び第1ドレイン領域33を含んで構成される。また、第1MOSFET12の第1チャネル部35上には、第1ゲート絶縁膜54を挟んで第1ゲート電極55が設けられている。第1ゲート絶縁膜54は、酸化膜で実現される。第1ソース電極45及び第1ドレイン電極47は、それぞれ、第1ソース領域31及び第1ドレイン領域33に接するよう設けられる。ここで、第1MOSFET12は、第1チャネル部全体が空乏領域となっている、完全空乏型のMOSFETである。

【0028】

第2MOSFET14は、第2シリコン層30bに、第2チャネル部を挟むように形成された第2ソース領域37及び第2ドレイン領域39を含んで構成される。また、第2MOSFET14の第2チャネル部上には、第2ゲート絶縁膜6

0を挟んで第2ゲート電極61が設けられている。第2ゲート絶縁膜60は、酸化膜で実現される。第2ソース電極49及び第2ドレイン電極51は、それぞれ、第2ソース領域37及び第2ドレイン領域39に接するように設けられる。ここで、第2MOSFET14は、第2チャネル部の一部が空乏領域41となり、第2チャネル部の下部領域が空乏層が広がらないシリコン層領域部分、すなわち中性領域43となっている、部分空乏型のMOSFETである。尚、この中性領域43は、第2シリコン層30bの領域内の空乏層非形成領域であって、第2チャネル部の下部領域以外の領域にわたって形成される場合がある。

【0029】

完全空乏型SOIからなる第1のMOSFET12と部分空乏型SOIからなる第2のMOSFET14の製法は、第1及び第2シリコン層30a及び30bに膜厚差が生ずるような製法であれば、いずれの製法であっても良い。例えば、均一の厚さのシリコン層を含むSOI基板の当該シリコン層上に、第1及び第2シリコン層30a及び30bのそれぞれの形成予定領域上にエッチングマスクを設ける。この場合、第2シリコン層の形成予定領域のエッチングマスク（第2マスクと称する。）の厚みを第1シリコン層の形成領域上のエッチングマスク（第1マスクと称する。）の厚みよりも厚く形成する。この第1及び第2マスクの膜厚差は、第1マスクがエッチング除去されたときは、第2マスクがまだ残存していて、第2マスクが完全に除去されたときには、第1シリコン層の表面がある程度エッチング除去されて、第1及び第2シリコン層に設計通りの膜厚差が生じるように、予め設定しておく。このようにマスクを設けて、第1及び第2シリコン層を同時にエッチングすることで、異なる厚さの第1シリコン層30a及び第2シリコン層30bを同一工程で形成可能である。第1シリコン層30aの厚さは50nm以下にし、第2シリコン層30bの厚さは100nm程度にすれば、第1MOSFET12が完全空乏型、第2MOSFET14が部分空乏型として形成される。尚、第1及び第2シリコン層30a及び30bの形成後は、周知の通常の技術を用いて、ソース領域、ドレイン領域、ゲート絶縁膜、ゲート電極、ソース電極、ドレイン電極、及び調整バイアス電極を形成すればよい。

【0030】

調整バイアス電極 63 は完全空乏型MOSFETのしきい値電圧を調整するための調整バイアス電圧 V_{bs} を支持基板 10 に印加するための電極である。調整バイアス電極 63 を介して、支持基板 10 に調整バイアス電圧 V_{bs} を印加することで、完全空乏型SOI からなる第1のMOSFET 12 のしきい値電圧は任意の値に設定可能である。このとき、第2MOSFET 14 のしきい値電圧は、部分空乏型SOI からなる第2のMOSFET のチャネル部の下部領域に形成された中性領域 43 により、調整バイアス電圧 V_{bs} の影響をほとんど受けなくなる。

【0031】

SOI構造を用いたしきい値電圧可変CMOSは、例えば、完全空乏型SOI からなる第1のMOSFET 12 をNチャネル型MOSFETとし、及び、部分空乏型SOI からなる第2のMOSFET 14 をPチャネル型MOSFETとして形成される。このとき、完全空乏型SOI からなる第1のMOSFET 12 をPチャネル型MOSFETとし、部分空乏型SOI からなる第2のMOSFET 14 をNチャネル型としてもよい。

【0032】

(第1の実施形態の効果)

支持基板 10 に形成された調整バイアス電極 63 に調整バイアス電圧 V_{bs} を与えることで、Pチャネル型の部分空乏型MOSFET 14 のしきい値電圧に影響をほとんど与えず、Nチャネル型の完全空乏型MOSFET 12 のしきい値電圧を可変とし、所望の特性を得ることが可能となる。

【0033】

(第2の実施形態の説明)

図2を参照して、本発明の第2実施形態のSOI構造を用いたしきい値電圧可変CMOSの概略構成を説明する。図1と同じ符号については説明を省略する。

【0034】

この構成は、第1実施形態の構成例とほぼ同様な構成である。例えば、完全空乏型SOI からなる第1のMOSFET 12 をNチャネル型とし、部分空乏型SOI からなる第2のMOSFET 14 をPチャネル型とする。Pチャネル型の第

2MOSFET14は部分空乏型であり、チャネル部の領域に中性領域43があるため、調整バイアス電圧V_{bs}を変化させても、部分空乏型のしきい値電圧はほとんど変化しない。

【0035】

この調整バイアス電圧V_{bs}の第2MOSFET14に与える影響を実質的に無くすため、第2実施形態のSOI構造を用いたしきい値電圧可変CMOSは、第1実施形態の構成に加えて、第2シリコン層30b中の中性領域43に抑制電圧V_{bb}を印加するための抑制電圧電極73を備えている。抑制電圧電極73を介して中性領域43に印加された一定の抑制電圧V_{bb}により、中性領域43の電位は一定に保たれる。このため、支持基板10に印加された調整バイアス電圧V_{bs}は、第2MOSFET14には影響を与えない。部分空乏型SOIからなる第2のMOSFET14とは、独立に、完全空乏型SOIからなる第1のMOSFET12のしきい値電圧を変化させることが可能になる。

【0036】

第1実施形態と同様に、完全空乏型SOIからなる第1のMOSFET12をPチャネル型MOSFETとし、部分空乏型SOIからなる第2のMOSFET14をNチャネル型としてもよい。

【0037】

(第2の実施形態に対する実施例)

図2と合わせて、図3及び図4を参照して実施例について説明する。図3は、SOI構造を用いたしきい値電圧可変CMOSを上方から見た概略的な平面図で、図2及び図4は、それぞれ、A-A'及びB-B'に沿って切った切り口を概略的に示す図である。

【0038】

第1MOSFET12はT字型の第1ゲート電極55を備えている。また、第1MOSFET12は、第1ソース領域31に接するように、2つの第1ソース電極45a、45bを備えていて、第1ドレイン領域33に接するように第1ドレイン電極47a、47bを備えている。T字型のゲート電極55に覆われていて、ソース領域31及びドレイン領域33間の領域の部分が第1チャネル部35

であり、第1チャネル部35の全体に空乏層が形成され空乏領域となる。

【0039】

第2MOSFET14も第1MOSFET12と同様にT字型の第2ゲート電極61を備えている。また、第2ソース領域37に接するように2つの第2ソース電極49a、49bを備えている、第2ドレイン領域39に接するように第2ドレイン電極51a、51bを備えている。さらに、第2MOSFET14の中性領域43上に抑制電圧電極73a及び73bが設けられている。T字型のゲート電極61に覆われていて、ソース領域37及びドレイン領域39間の領域の部分がチャネル部であり、チャネル部の上側領域（ゲート電極に近い領域）に空乏層が形成され空乏領域41となる（図4参照）。尚、この図3及び図4に示す構成例では、中性領域43は、第2チャネル部の下部領域のみならず、第2シリコン層のほかの領域部分にわたって存在する。

【0040】

図5は、このしきい値電圧可変CMOSを用いたカレントミラー回路を用いた差動增幅回路の構成例を示す図である。この回路は、2つのPチャネル型MOSFET81a及び81bと、2つのNチャネル型MOSFET83a及び83bを備えた、2つのCMOSを含んで構成される。Pチャネル型MOSFET81a及び81bが部分空乏型MOSFETであり、Nチャネル型MOSFET83a及び83bが完全空乏型MOSFETである。

【0041】

電源91にPチャネル型MOSFET81a、81bのソースが接続されている。Nチャネル型MOSFET83a、83bのソースはクロックが入力されるNチャネル型MOSFET89のドレインと接続され、Nチャネル型MOSFET89のソースは接地されている。Pチャネル型MOSFET81aとNチャネル型MOSFET83aのドレイン同士が接続されている。また、Pチャネル型MOSFET81bとNチャネル型MOSFET83bのドレイン同士も接続されている。Pチャネル型MOSFET81aとNチャネル型MOSFET83aのドレインは、Pチャネル型MOSFET81a及び81bのゲートと接続されている。信号は、Nチャネル型MOSFET83a及び83bのゲート入力端子

85a及び85bにそれぞれ入力されるが、Nチャネル型MOSFET83aの入力端子85aへの入力と、Nチャネル型MOSFET83bの入力端子85bへの入力は逆相となる。また、出力は、Pチャネル型MOSFET81b及びNチャネル型MOSFET83bのドレインに接続された出力端子87から取り出される。

【0042】

この回路構成によれば、各MOSFETのしきい値電圧を個別に調整できるので、この差動增幅回路は低消費電力、高速動作が可能となる。また、しきい値電圧を個別に設定することにより、差動增幅回路の増幅率を設計どおりにすることも容易となる。

【0043】

(第2の実施形態の効果)

部分空乏型SOIからなる第2のMOSFET14の中性領域43に抑制電圧Vbbを外部から印加する。そのため、支持基板10に印加した調整バイアス電圧Vbsは部分空乏型SOIからなる第2のMOSFET14には全く影響を与えない。また、調整バイアス電圧Vbsと抑制電圧Vbbとが、完全に独立していることから、調整バイアス電圧Vbs及び抑制電圧Vbbを、それぞれ、調整バイアス電極及び抑制電圧電極に適当に印加することで、完全空乏型MOSFET及び部分空乏型MOSFETを同時にしきい値可変のMOSFETとして動作させることが可能となる。

【0044】

【発明の効果】

上述の説明から明らかかなように、この発明のSOI構造を用いたしきい値電圧可変相補型MOSFETによれば、完全空乏型MOSFETと部分空乏型MOSFETに対して調整バイアス電圧Vbsによるしきい値電圧の依存性を異ならせることが可能となるしきい値電圧可変CMOSを提供することができる。

【図面の簡単な説明】

【図1】

この発明による第1実施形態のSOI構造を用いたしきい値電圧可変CMOS

の構成例を示す概略図である。

【図2】

この発明による第2実施形態のSOI構造を用いたしきい値電圧可変CMOSの構成例の図3A—A'での断面図である。

【図3】

この発明による第2実施形態のSOI構造を用いたしきい値電圧可変CMOSの構成例を示す概略図である。

【図4】

この発明による第2実施形態のSOI構造を用いたしきい値電圧可変CMOSの構成例の図3B—B'での断面図である。

【図5】

カレントミラー回路を負荷とする差動增幅回路を示す回路図である。

【図6】

しきい値電圧可変SOI MOSFETの構造を示す概略図である。

【図7】

しきい値電圧可変Nチャネル型MOSFETの動作を示す概略図である。

【図8】

しきい値電圧可変CMOSの従来構造を示す概略図である。

【図9】

しきい値電圧可変Pチャネル型MOSFETの動作を示す概略図である。

【符号の説明】

10：支持基板

12：第1MOSFET

14：第2MOSFET

20：絶縁層

29：シリコン層 (MOSFET)

30a：第1シリコン層

30b：第2シリコン層

31：第1ソース領域

3 2：ソース領域 (MOSFET)

3 3：第1ドレイン領域

3 4：ドレイン領域 (MOSFET)

3 5：第1チャネル部

3 6：チャネル部 (MOSFET)

3 7：第2ソース領域

3 9：第2ドレイン領域

4 1：空乏領域

4 2：第2チャネル部

4 3：中性領域

4 4：ソース電極 (MOSFET)

4 5、4 5 a、4 5 b：第1ソース電極

4 6：ドレイン電極 (MOSFET)

4 7、4 7 a、4 7 b：第1ドレイン電極

4 9、4 9 a、4 9 b：第2ソース電極

5 1、5 1 a、5 1 b：第2ドレイン電極

5 2：ゲート絶縁膜 (MOSFET)

5 3：ゲート電極 (MOSFET)

5 4：第1ゲート絶縁膜

5 5：第1ゲート電極

6 0：第2ゲート絶縁膜

6 1：第2ゲート電極

6 3：調整バイアス電極

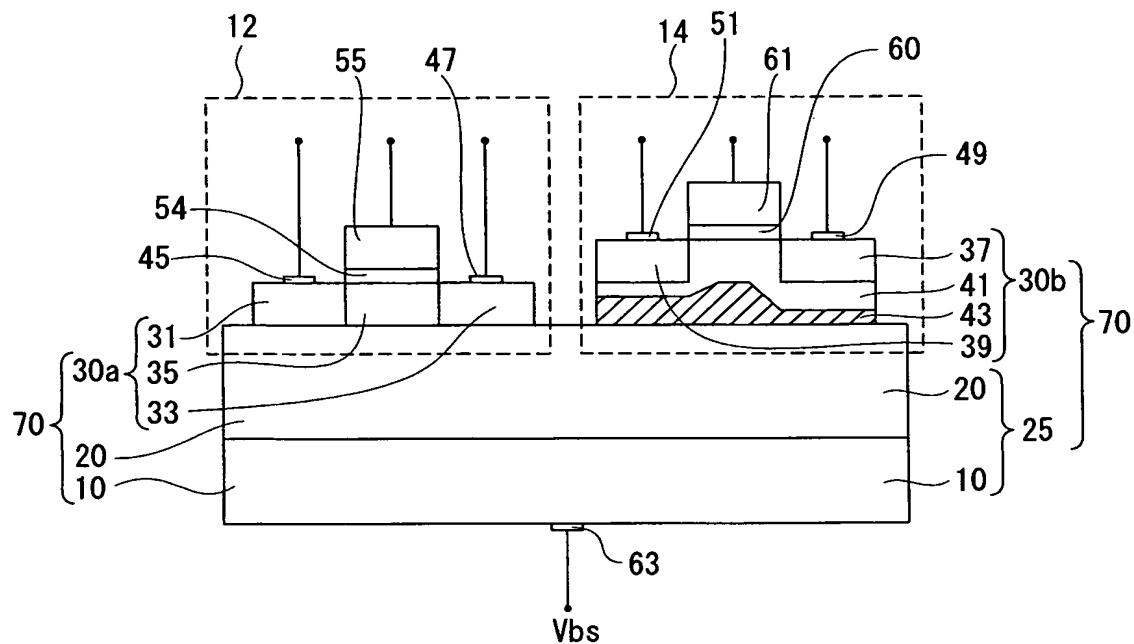
7 3、7 3 a、7 3 b：抑制電圧電極

8 1 a、8 1 b：Pチャネル型MOSFET

8 3 a、8 3 b、8 9：Nチャネル型MOSFET

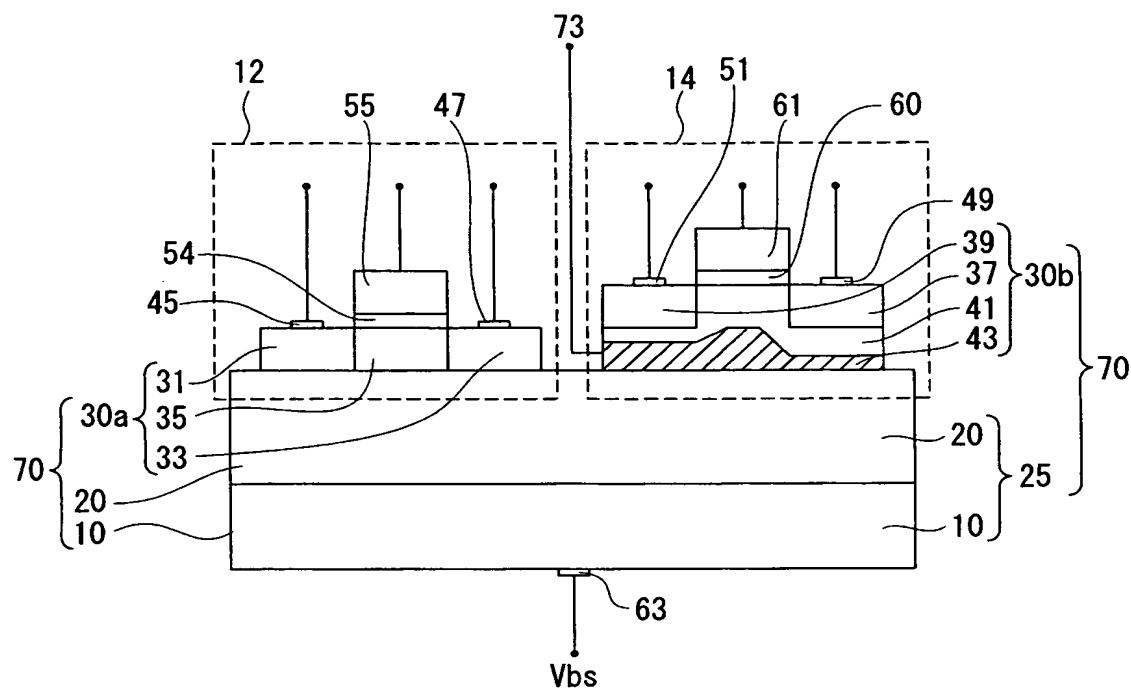
【書類名】 図面

【図 1】



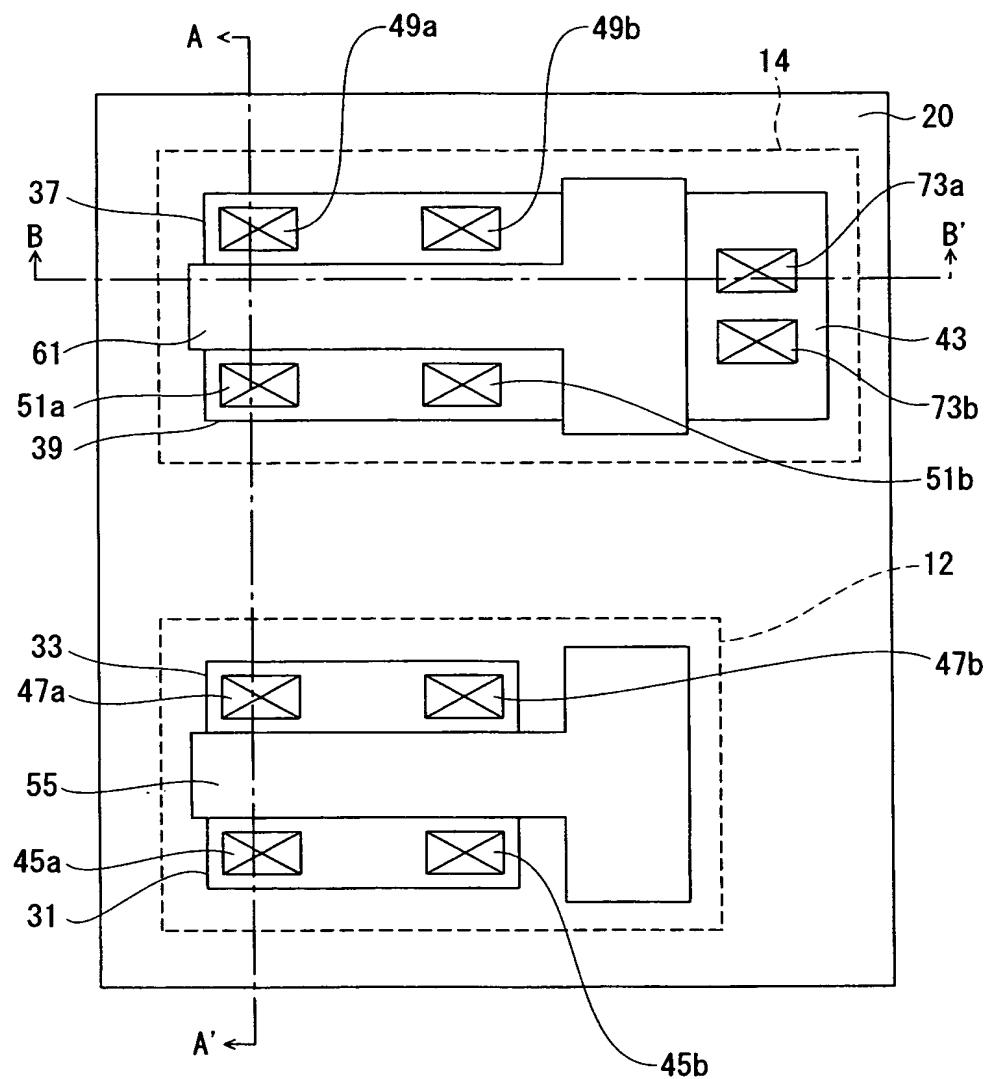
第 1 実施形態の S O I 構造を用いたしきい値電圧可変 C M O S

【図2】



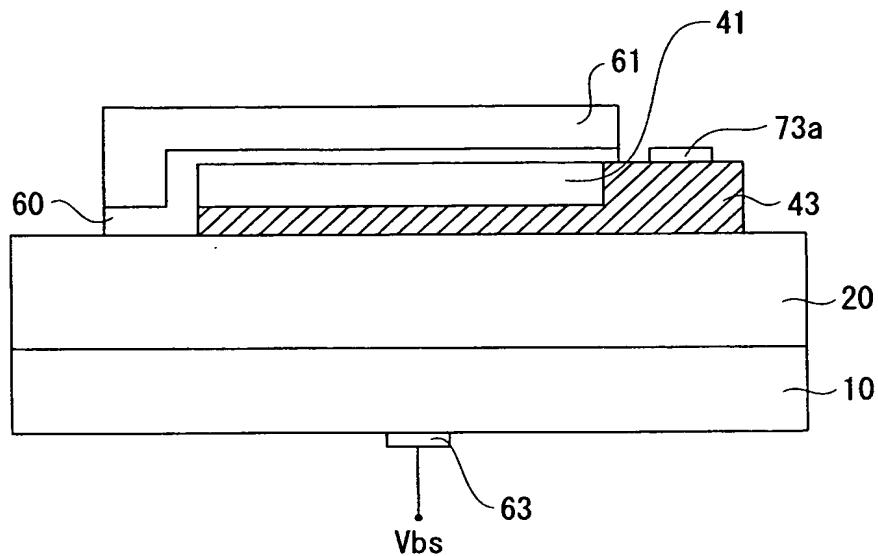
第2実施形態のしきい値電圧可変CMOSのA-A'断面図

【図3】



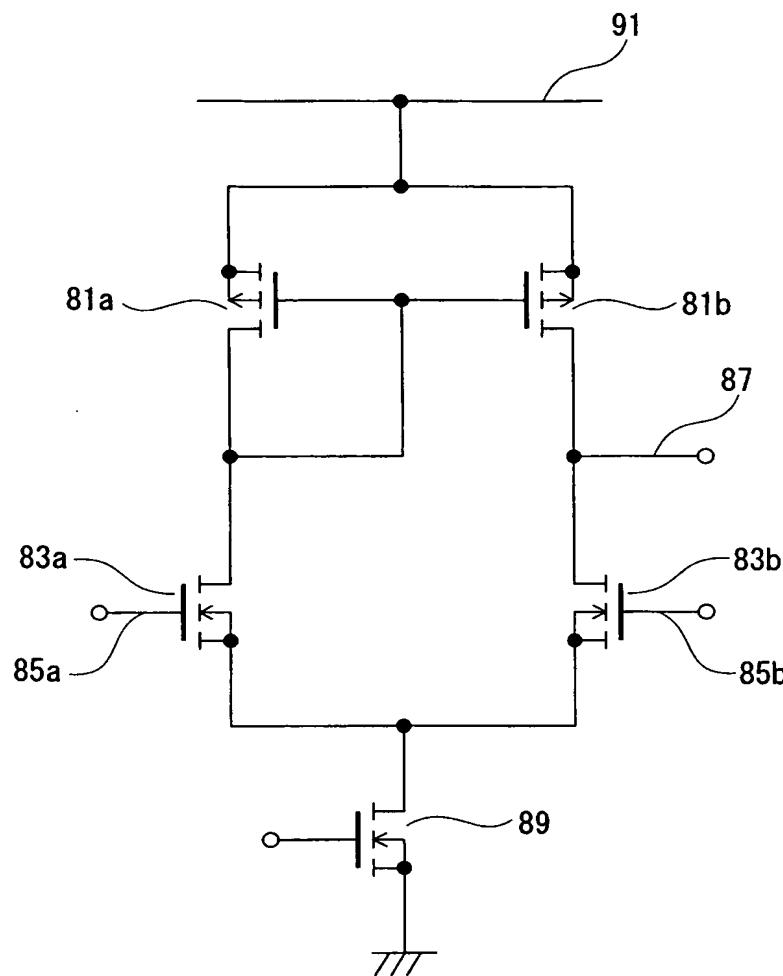
第2実施形態のSOI構造を用いたしきい値電圧可変CMOS

【図4】



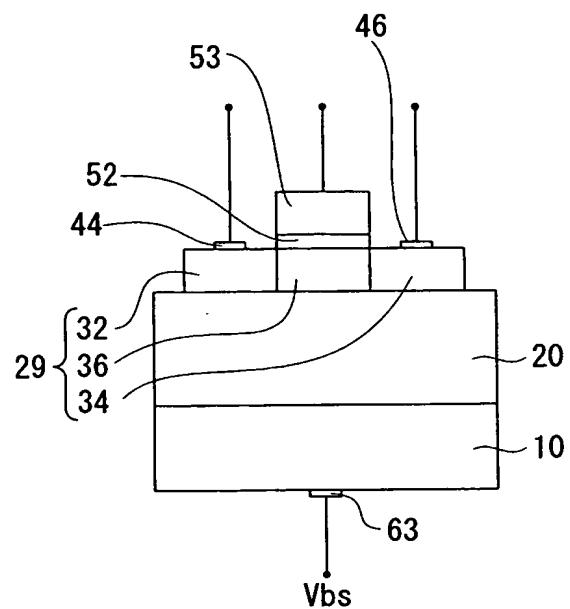
第2実施形態のしきい値電圧可変CMOSのB-B'断面図

【図5】



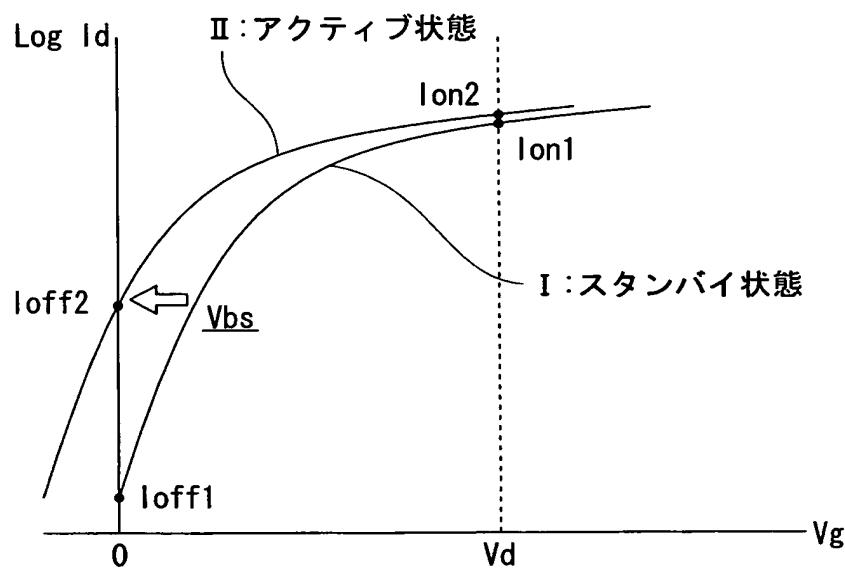
カレントミラー回路を負荷とした差動増幅回路

【図6】



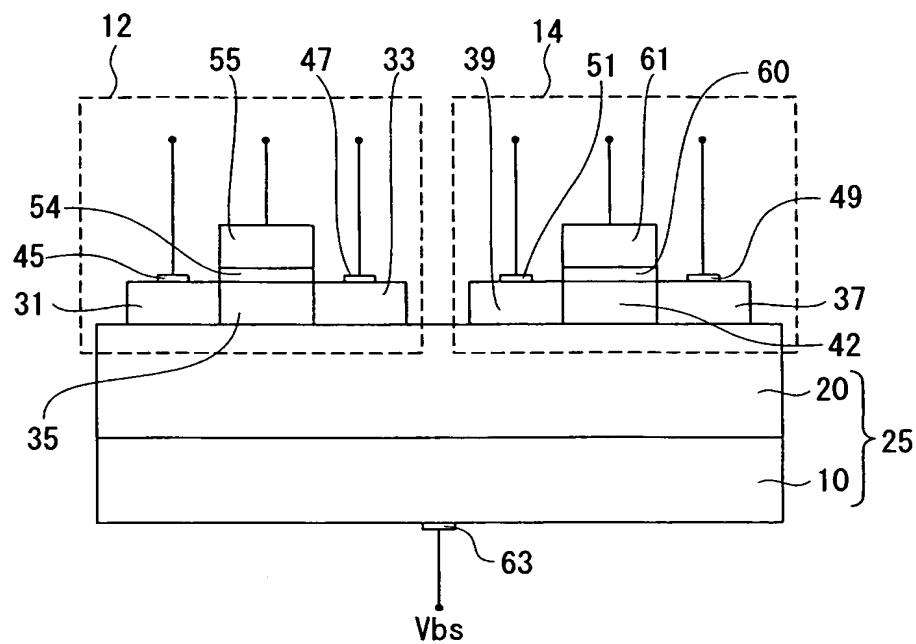
しきい値電圧可変SOI MOSFETの構造

【図7】



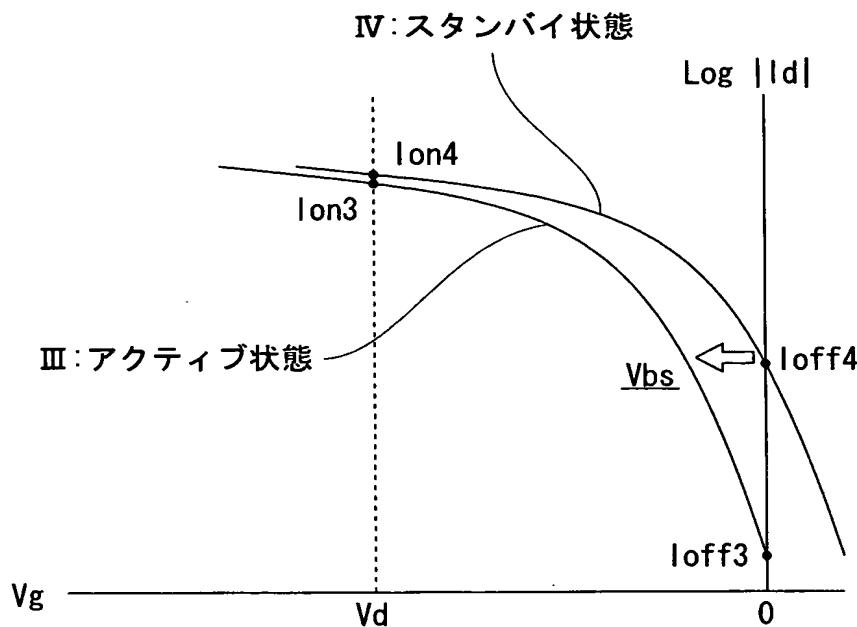
しきい値電圧可変Nチャネル型MOSFETの動作

【図8】



しきい値電圧可変CMOSの従来構造

【図9】



しきい値電圧可変Pチャネル型MOSFETの動作

【書類名】 要約書

【要約】

【課題】 Nチャネル型とPチャネル型のMOSFETに対して調整バイアス電圧によるしきい値電圧の依存性を異ならせる。

【解決手段】 支持基板、支持基板上に設けられた絶縁層、及び絶縁層上に互いに離間して設けられた島状の第1及び第2シリコン層を備え、第1シリコン層中に第1チャネル部が形成された、完全空乏型SOIからなる第1のMOSFETと、第2シリコン層中に第2チャネル部が形成されていて、第1MOSFETと相俟って相補型MOSFETを構成する部分空乏型SOIからなる第2のMOSFETとを備える。支持基板にバイアス電圧を印加し完全空乏型SOIからなる第1のMOSFETのしきい値電圧を変化させても、部分空乏型SOIからなる第2のMOSFETは、第2チャネル部に設けられた中性領域により、しきい値電圧はほとんど変動しない。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-185337
受付番号	50301079643
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 6月30日

<認定情報・付加情報>

【提出日】	平成15年 6月27日
-------	-------------

特願 2003-185337

出願人履歴情報

識別番号 [00000295]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社